

Takeshi Tanaka et al.
82478-1300
JW Price/949.253.4920

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 7 日
Date of Application:

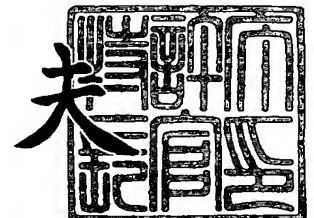
出 願 番 号 特 願 2 0 0 2 - 3 2 3 9 3 8
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 2 3 9 3 8]

出 願 人 松下電器産業株式会社
Applicant(s):

2 0 0 3 年 8 月 1 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 4 8 3 2

【書類名】 特許願

【整理番号】 2022530375

【提出日】 平成14年11月 7日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 15/332

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 高島 敏

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 西田 英志

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 田中 健

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 木村 浩三

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 清原 督三

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100090446

【弁理士】

【氏名又は名称】 中島 司朗

【手数料の表示】

【予納台帳番号】 014823

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003742

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 演算装置および演算方法

【特許請求の範囲】

【請求項 1】 複素数データの乗算を行う演算装置であって、

それぞれが演算器とレジスタファイルとを含む 2 個のプロセッサと、

前記 2 個のプロセッサが、乗算指示を受けて、少なくとも演算対象である第 1 複素数データの第 1 実部データ及び第 1 虚部データと、第 2 複素数データの第 2 実部データ及び第 2 虚部データとのうち、各実部データを第 1 プロセッサのレジスタファイルに、各虚部データを第 2 プロセッサのレジスタファイルに分配して格納させる格納制御手段と、

第 1 段階において、第 1 プロセッサの演算器が、第 1 実部データと第 2 実部データとの乗算、または第 1 虚部データと第 2 虚部データとの乗算のうち、いずれかを、該当するレジスタファイルからデータを読み出して実行するように制御し、これと並行して、第 2 プロセッサの演算器が、第 1 実部データと第 2 虚部データとの乗算、または第 1 虚部データと第 2 実部データとの乗算のうち、いずれかを、該当するレジスタファイルからデータを読み出して実行するように制御する第 1 制御手段と、

第 2 段階において、第 1 プロセッサの演算器が、第 1 実部データと第 2 実部データとの乗算、または第 1 虚部データと第 2 虚部データとの乗算のうち、第 1 段階で実行しなかった方の乗算を、該当するレジスタファイルからデータを読み出して実行するように制御し、これと並行して、第 2 プロセッサの演算器が、第 1 実部データと第 2 虚部データとの乗算、または第 1 虚部データと第 2 実部データとの乗算のうち、第 1 段階で実行しなかった方の乗算を、該当するレジスタファイルからデータを読み出して実行するように制御する第 2 制御手段と、

第 3 段階において、第 1 プロセッサの演算器が、第 1 実部データと第 2 実部データとの乗算結果から、第 1 虚部データと第 2 虚部データとの乗算結果を減算するように制御し、これと並行して、第 2 プロセッサの演算器が、第 1 虚部データと第 2 実部データとの乗算結果と、第 1 実部データと第 2 虚部データとの乗算結果とを加算するように制御する第 3 制御手段と

を備えることを特徴とする演算装置。

【請求項 2】 前記第 3 制御手段は、さらに、

前記第 1 プロセッサの演算器が減算した減算結果を、第 1 プロセッサのレジスタファイルに書き戻すように制御し、前記第 2 プロセッサの演算器が加算した加算結果を第 2 プロセッサのレジスタファイルに書き戻すように制御すること

を特徴とする請求項 1 に記載の演算装置。

【請求項 3】 当該演算装置は、前記第 1 プロセッサと第 2 プロセッサとからなるプロセッサ組を複数備え、

1 個の乗算命令を受けて、複数のプロセッサ組の各プロセッサ組に、前記乗算指示を発行することで、前記複数のプロセッサ組に並列に乗算を行わせること

を特徴とする請求項 2 に記載の演算装置。

【請求項 4】 前記格納制御手段は、さらに、

演算対象となる複数の複素数データの実部データと虚部データとが、連続したメモリ番地に交互に配列されたデータメモリから、前記複数のプロセッサ組に属するレジスタファイルに、交互に配列された実部データと虚部データとを所定の数量だけ一斉に転送させること

を特徴とする請求項 3 に記載の演算装置。

【請求項 5】 それぞれが演算器とレジスタファイルとを含む 2 個のプロセッサが、複素数データの乗算を行う演算方法であって、

前記 2 個のプロセッサが、乗算指令を受けて、少なくとも演算対象である第 1 複素数データの第 1 実部データ及び第 1 虚部データと、第 2 複素数データの第 2 実部データ及び第 2 虚部データとのうち、各実部データを第 1 プロセッサのレジスタファイルに、各虚部データを第 2 プロセッサのレジスタファイルに分配して格納させる格納制御ステップと、

第 1 段階において、第 1 プロセッサの演算器が、第 1 実部データと第 2 実部データとの乗算、または第 1 虚部データと第 2 虚部データとの乗算のうち、いずれかを、該当するレジスタファイルからデータを読み出して実行するように制御し、これと並行して、第 2 プロセッサの演算器が、第 1 実部データと第 2 虚部データとの乗算、または第 1 虚部データと第 2 実部データとの乗算のうち、いずれか

を、該当するレジスタファイルからデータを読み出して実行するように制御する第1制御ステップと、

第2段階において、第1プロセッサの演算器が、第1実部データと第2実部データとの乗算、または第1虚部データと第2虚部データとの乗算のうち、第1段階で実行しなかった方の乗算を、該当するレジスタファイルからデータを読み出して実行するように制御し、これと並行して、第2プロセッサの演算器が、第1実部データと第2虚部データとの乗算、または第1虚部データと第2実部データとの乗算のうち、第1段階で実行しなかった方の乗算を、該当するレジスタファイルからデータを読み出して実行するように制御する第2制御ステップと、

第3段階において、第1プロセッサの演算器が、第1実部データと第2実部データとの乗算結果から、第1虚部データと第2虚部データとの乗算結果を減算するように制御し、これと並行して、第2プロセッサの演算器が、第1虚部データと第2実部データとの乗算結果と、第1実部データと第2虚部データとの乗算結果とを加算するように制御する第3制御ステップと

を備えることを特徴とする演算方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、演算装置および演算方法に関し、特に複素数データを扱う演算装置および演算方法に関する。

【0002】

【従来の技術】

マイクロプロセッサの演算高速化のひとつの方法として、SIMD(single Instruction Multiple Data)型命令の導入がある。SIMD型命令は、単一の演算をマイクロプロセッサ中の複数の要素プロセッサに同時に並列して実行させることにより演算高速化を図るもので、具体的にはデジタル信号処理で用いられる高速フーリエ変換のような「単一の演算を複数組のデータに対して行う処理」に対して効力を発揮する（例えば、特許文献1参照。）。このようなSIMD型命令を実行するマイクロプロセッサを以下に説明する。

【0003】

図7は従来のマイクロプロセッサの構成を示す図である。

マイクロプロセッサ701は、プロセッサコア702および要素プロセッサ703a～703dを備え、各要素プロセッサは、演算器704とレジスタファイル705とを備える。

4個の要素プロセッサ703a～703dは、プロセッサコア702により制御されており、プロセッサコア702からの動作指示に従って並列に動作する。例えば「レジスタr1のデータをレジスタr0のデータに加算する」という単一の加算指示に対して4個の要素プロセッサが並列に動作し、加算が4並列に行われる。

【0004】

前述の高速フーリエ変換は、演算対象データ $z(k)=x(k)+iy(k)$ と回転因子 $w(k)=c(k)+is(k)$ との乗算という複素数データの乗算を大量に含む。ここで i は虚数単位である。この乗算の結果の実部を $x'(k)$ 、虚部を $y'(k)$ とすると、

$$x'(k)=x(k)\times c(k)-y(k)\times s(k)、$$

$$y'(k)=x(k)\times s(k)+y(k)\times c(k)$$

である。

【0005】

例えば、要素プロセッサ703aが $z(0)$ と $w(0)$ との乗算を担当するとすれば、下記の手順で乗算を行う。

<読み出し>

ステップ1. データメモリ706から $x(0)$ 、 $y(0)$ 、 $c(0)$ および $s(0)$ を読み出し、レジスタファイル705aに書き込む。

【0006】

<実部 $x'(0)$ の計算>

ステップ2. $x(0)$ と $c(0)$ とを乗算する。

ステップ3. $y(0)$ と $s(0)$ とを乗算する。

ステップ4. ステップ1の結果からステップ2の結果を減算して $x'(0)$ を算出する。

【0007】

＜虚部 $y'(0)$ 計算＞

ステップ5. $x(0)$ と $s(0)$ とを乗算する。

ステップ6. $y(0)$ と $c(0)$ とを乗算する。

ステップ7. ステップ4の結果とステップ5の結果とを加算して $y'(0)$ を算出する。

【0008】

要素プロセッサ703 a以外の要素プロセッサ703 b～dも同様の手順で演算対象データ $z(1) \sim z(3)$ と回転因子 $w(1) \sim w(3)$ との乗算を同時に行う。このように複素数データと回転因子との乗算を4並列で行うことにより、マイクロプロセッサの演算高速化を実現している。

【0009】

【特許文献1】

特開2000-231552号公報

【0010】

【発明が解決しようとする課題】

しかしながら上記の乗算の方法では、1つの要素プロセッサが実部 $x'(k)$ と虚部 $y'(k)$ とを算出するため、ステップ数が多く複雑である。

そこで本発明は、従来よりも容易に複素数データの乗算を行うことができる演算装置および演算方法を提供することを目的とする。

【0011】

【課題を解決するための手段】

上記目的を達成するために、本発明に係る演算装置は、複素数データの乗算を行う演算装置であって、それぞれが演算器とレジスタファイルとを含む2個のプロセッサと、前記2個のプロセッサが乗算指示を受けて少なくとも演算対象である第1複素数データの第1実部データ及び第1虚部データと第2複素数データの第2実部データ及び第2虚部データとのうち、各実部データを第1プロセッサのレジスタファイルに各虚部データを第2プロセッサのレジスタファイルに分配して格納させる格納制御手段と、第1段階において第1プロセッサの演算器が第1

実部データと第2実部データとの乗算または第1虚部データと第2虚部データとの乗算のうちいずれかを該当するレジスタファイルからデータを読み出して実行するように制御し、これと並行して第2プロセッサの演算器が第1実部データと第2虚部データとの乗算または第1虚部データと第2実部データとの乗算のうちいずれかを該当するレジスタファイルからデータを読み出して実行するように制御する第1制御手段と、第2段階において第1プロセッサの演算器が第1実部データと第2実部データとの乗算または第1虚部データと第2虚部データとの乗算のうち第1段階で実行しなかった方の乗算を該当するレジスタファイルからデータを読み出して実行するように制御し、これと並行して第2プロセッサの演算器が第1実部データと第2虚部データとの乗算または第1虚部データと第2実部データとの乗算のうち第1段階で実行しなかった方の乗算を該当するレジスタファイルからデータを読み出して実行するように制御する第2制御手段と、第3段階において第1プロセッサの演算器が第1実部データと第2実部データとの乗算結果から第1虚部データと第2虚部データとの乗算結果を減算するように制御し、これと並行して第2プロセッサの演算器が第1虚部データと第2実部データとの乗算結果と第1実部データと第2虚部データとの乗算結果とを加算するように制御する第3制御手段とを備えることを特徴とする。

【0012】

上記構成によれば、第1プロセッサが第1複素数データと第2複素数データとの乗算結果の実部を、第2プロセッサが第1複素数データと第2複素数データとの乗算結果の虚部を同時に算出する。

したがって、1個のプロセッサが乗算結果の実部と虚部とを算出する従来技術に比べて、複素数データの乗算を行うステップ数が削減でき、それに伴ってマイクロコードのコードサイズを小さくすることができる。

【0013】

また上記構成によれば、第1及び第2プロセッサのレジスタファイルに複素数データの実部データと虚部データとを分配して格納する。

したがって、レジスタファイル1個あたりに格納されるデータの数量が半減できる。逆に表現すれば、レジスタファイル中の「空き」のレジスタ数が増える

。よってデータメモリとレジスタファイルとの間のデータの受け渡し回数を削減することができる。

【0014】

【発明の実施の形態】

以下、本発明に係る演算装置および演算方法について図1から図6を用いて詳細に説明する。

（実施の形態1）

＜全体の構成＞

図1は本発明に係るマイクロプロセッサの構成を示す図である。

【0015】

マイクロプロセッサ101は、プロセッサコア102とそれぞれが2個の要素プロセッサからなる2個のプロセッサ組103a、103bとを備え、プロセッサ組の単位で同一の演算を並列に行う。

プロセッサコア102は、命令メモリ109から1個の演算命令をフェッチ、解読して、動作指示を各要素プロセッサ104a～104dに出力する。

【0016】

プロセッサ組103aは、要素プロセッサ104aと104bとから、プロセッサ組103bは、要素プロセッサ104cと104dとからなり、各要素プロセッサはレジスタファイル105、切替器106および演算器107を備える。

レジスタファイル105は、1個が32ビット幅のレジスタ16個からなる。1個のレジスタが8ビットずつ4個に分割して（105a～105d）演算するべき8ビットの演算対象データを格納する。

【0017】

切替器106は、プロセッサコア102からの動作指示に従って、同一プロセッサ組に属するレジスタファイル105と演算器107との接続を切替える。これによって、例えばプロセッサ組103aの場合、演算器107a、107bは演算対象データをレジスタファイル105a、105bのどちらからでも得ることができる。

【0018】

演算器 107 は、切替器 106 を通じてレジスタファイル 105 から得た演算対象データを用いて、プロセッサコア 102 からの動作指示に従って演算を行う。

このような構成のマイクロプロセッサ内にあるプロセッサ組について、さらに詳しく説明する。

【0019】

＜プロセッサ組の構成と動作＞

ここでは、プロセッサ組 103 a を用いて 2 個の複素数データ、 $z=x+iy$ 、 $w=c+is$ の乗算 $z \times w$ を行う場合を以下に説明する。ここで i は虚数単位である。

図 2 はプロセッサ組 103 a の構成を示す図である。

図 2 に示すように、レジスタファイル 105 a、105 b はそれぞれレジスタ番号 r_0 から r_{15} までの 16 個のレジスタを有し、要素プロセッサ 104 a、104 b は、同一レジスタ番号のレジスタに複素数データ z の実部データ x と虚部データ y とを分配して格納する。複素数データ w の実部データ c と虚部データ s も同様に格納する。

【0020】

このように実部データと虚部データとは、別々のレジスタファイルに格納されるが、演算器 107 a、107 b は、切替器 106 によってレジスタファイル 105 a と 105 b とのどちらにも接続できるので、実部データと虚部データとの演算も行うことができる。

この特徴を用いてプロセッサ組 103 a は、以下のフローにより複素数データの乗算を行う。

【0021】

図 3 は複素数データの乗算のフローを示す図である。

要素プロセッサ 104 a、104 b がそれぞれ 301、302 の演算を行う。

第 1 段階：S1

要素プロセッサ 104 a： $x \times c$

要素プロセッサ 104 b： $x \times s$ 、

第 2 段階：S2

要素プロセッサ 104 a : $y \times s$

要素プロセッサ 104 b : $y \times c$ 、

第3段階: S3

要素プロセッサ 104 a : $x \times c - y \times s$

要素プロセッサ 104 b : $x \times s + y \times c$ 、

このように要素プロセッサ 104 a、104 b は、それぞれ複素数データの乗算結果の実部 x' と虚部 y' とを分担して同時に演算している。したがって、個々の要素プロセッサには、実部算出と虚部算出とのどちらか一方のマイクロコードが用意されればよいので、コードサイズを約半分にすることが可能となる。

【0022】

また、ここではプロセッサ組 103 a の構成と動作を示したが、プロセッサコアが要素プロセッサ 104 a と同じ動作指示を要素プロセッサ 104 c に、要素プロセッサ 104 b と同じ動作指示を要素プロセッサ 104 d に指示することで、プロセッサ組 103 a、103 b は複素数データの乗算を同時に並列で行うことができる。

【0023】

(実施の形態2)

実施の形態2では、実施の形態1で説明した演算装置および演算方法を高速フーリエ変換に適用する技術を示す。

高速フーリエ変換は、離散フーリエ変換の変換処理を高速に行う演算手法であり、演算対象データの量を N とすると、バタフライ演算と呼ばれる複素数データの乗算と加減算とのセットを1段あたり $(N/2)$ 個行い、その演算結果を用いてさらにバタフライ演算を行うという繰り返しを $\log N$ 段含む。ここで対数の底は2である。例えば演算対象データの量が8個の場合、バタフライ演算が1段当たり4個あり、バタフライ演算の結果をさらにバタフライ演算する繰り返しが3段ある。すなわち12個のバタフライ演算を含む。

【0024】

図4は演算対象データの量が8個の場合の高速フーリエ変換の第1段目の演算のフローを示す図である。

バタフライ演算 4 0 1 は、演算対象データ $z(4)$ と回転因子 $w(0)$ との乗算結果を演算対象データ $z(0)$ に加算して $S00(0)$ を算出し、演算対象データ $z(4)$ と回転因子 $w(0)$ との乗算結果を演算対象データ $z(0)$ から減算して $S00(1)$ を算出する。その他のバタフライ演算 4 0 2 ~ 4 0 4 も同様である。

【 0 0 2 5 】

$S00(0)$ の実部と虚部とをそれぞれ $x''(0)$ 、 $y''(0)$ とし、 $S00(1)$ の実部と虚部とをそれぞれ $x''(1)$ 、 $y''(1)$ とすると、バタフライ演算 4 0 1 の詳細は以下のようになる。

$$\begin{aligned} x''(0) &= x(0) + \{x(4) \times c(0) - y(4) \times s(0)\}, \\ y''(0) &= y(0) + \{x(4) \times s(0) + y(4) \times c(0)\}, \\ x''(1) &= x(0) - \{x(4) \times c(0) - y(4) \times s(0)\}, \\ y''(1) &= y(0) - \{x(4) \times s(0) + y(4) \times c(0)\}. \end{aligned}$$

【 0 0 2 6 】

図 5 はバタフライ演算 4 0 1 のフローを示す図である。

図 5 に示すように 5 0 1、5 0 2 の演算は実施の形態 1 における複素数データの乗算と同様である。

したがって実施の形態 1 に示した演算装置は、高速フーリエ変換にも簡単に適用することができる。

【 0 0 2 7 】

このような一連の演算を効率的に行うデータ配列を以下に示す。

図 6 は本発明における演算装置において、バタフライ演算を行う場合のデータ配列を示す図である。

図 6 に示すようにデータメモリ 1 0 8 は、演算対象データ領域 6 0 1 と回転因子領域 6 0 2 とを有する。

【 0 0 2 8 】

演算対象データ領域 6 0 1 には、 N 個の複素数データを格納する際に、 N 個の実部データの配列 $\{x(0), x(1), \dots, x(N-2), x(N-1)\}$ と N 個の虚部データの配列 $\{y(0), y(1), \dots, y(N-2), y(N-1)\}$ とを交互に収めてある。

回転因子領域 6 0 2 も同様に実部データと虚部データが交互になるように収め

る。

【0029】

各要素プロセッサは、このデータメモリ108から交互に配列された実部データ $\{x(0) \sim x(7)\}$ と虚部データ $\{y(0) \sim y(7)\}$ および回転因子 $c(0)$ と $s(0)$ とを一斉に読み出し、図6に示すようにレジスタファイル105a～105dに読み出したデータの配列を変更せずに書き込む。

その後、各要素プロセッサは、レジスタ r_2 と r_8 とに収められた演算対象データを用いて実施の形態1で説明した演算方法により2つの要素プロセッサ間で複素数データの乗算結果の実部と虚部とを得る。次にこれらをレジスタ r_0 に収められた演算対象データと加算および減算を行う。具体的には要素プロセッサ104aは、図5に示すバタフライ演算501、503のフローに沿って演算を完了する。ここで要素プロセッサ104aが得たバタフライ演算の結果は、次段のバタフライ演算のため、レジスタファイル105aに格納される。また図5は、プロセッサ組103aが行う演算であるが、プロセッサ組103bも並列して演算を行うため、図4に示すバタフライ演算401と403とが同時に完了することになる。

【0030】

本実施の形態2によれば、バタフライ演算を繰り返してもレジスタファイル105a、105cには実部データだけを格納し、レジスタファイル105b、105dには虚数データだけを格納しているので、レジスタファイル中の「空き」のレジスタ数が多く、レジスタファイルとデータメモリとの間のデータの受け渡しが削減でき、演算の高速化が図れる。

【0031】

なお実施の形態1および2において、要素プロセッサの数を4個にして説明しているが、特に4個に限定しなくてもよい。

【0032】

【発明の効果】

本発明に係る演算装置は、複素数データの乗算を行う演算装置であって、それぞれが演算器とレジスタファイルとを含む2個のプロセッサと、前記2個のプロ

セッサが乗算指示を受けて少なくとも演算対象である第1複素数データの第1実部データ及び第1虚部データと第2複素数データの第2実部データ及び第2虚部データとのうち、各実部データを第1プロセッサのレジスタファイルに各虚部データを第2プロセッサのレジスタファイルに分配して格納させる格納制御手段と、第1段階において第1プロセッサの演算器が第1実部データと第2実部データとの乗算または第1虚部データと第2虚部データとの乗算のうちいずれかを該当するレジスタファイルからデータを読み出して実行するように制御し、これと並行して第2プロセッサの演算器が第1実部データと第2虚部データとの乗算または第1虚部データと第2実部データとの乗算のうちいずれかを該当するレジスタファイルからデータを読み出して実行するように制御する第1制御手段と、第2段階において第1プロセッサの演算器が第1実部データと第2実部データとの乗算または第1虚部データと第2虚部データとの乗算のうち第1段階で実行しなかった方の乗算を該当するレジスタファイルからデータを読み出して実行するように制御し、これと並行して第2プロセッサの演算器が第1実部データと第2虚部データとの乗算または第1虚部データと第2実部データとの乗算のうち第1段階で実行しなかった方の乗算を該当するレジスタファイルからデータを読み出して実行するように制御する第2制御手段と、第3段階において第1プロセッサの演算器が第1実部データと第2実部データとの乗算結果から第1虚部データと第2虚部データとの乗算結果を減算するように制御し、これと並行して第2プロセッサの演算器が第1虚部データと第2実部データとの乗算結果と第1実部データと第2虚部データとの乗算結果とを加算するように制御する第3制御手段とを備えることを特徴とする。

【0033】

上記構成によれば、第1プロセッサが第1複素数データと第2複素数データとの乗算結果の実部を、第2プロセッサが第1複素数データと第2複素数データとの乗算結果の虚部を同時に算出する。

したがって、1個のプロセッサが乗算結果の実部と虚部とを算出する従来技術に比べて、複素数データの乗算を行うステップ数が削減でき、それに伴ってマイクロコードのコードサイズを小さくすることができる。

【0034】

また上記構成によれば、第1及び第2プロセッサのレジスタファイルに複素数データの実部データと虚部データとを分配して格納する。

したがって、レジスタファイル1個あたりに格納されるデータの数量が半減できる。逆に表現すれば、レジスタファイル中の「空き」のレジスタ数が多くなる。よってデータメモリとレジスタファイルとの間のデータの受け渡し回数を削減することができる。

【0035】

また、前記第3制御手段は、さらに、前記第1プロセッサの演算器が減算した減算結果を第1プロセッサのレジスタファイルに書き戻すように制御し、前記第2プロセッサの演算器が加算した加算結果を第2プロセッサのレジスタファイルに書き戻すように制御することを特徴としてもよい。

上記構成によれば、第1及び第2プロセッサは、それぞれが算出した演算結果を自身のレジスタファイルに再び格納する。

【0036】

したがって、高速フーリエ変換のような、演算結果を次段階で再び演算対象として使用する繰り返しがある演算手法に適した演算装置を実現することができる。

また、当該演算装置は、前記第1プロセッサと第2プロセッサとからなるプロセッサ組を複数備え、1個の乗算命令を受けて複数のプロセッサ組の各プロセッサ組に前記乗算指示を発行することで前記複数のプロセッサ組に並列に乗算を行わせることを特徴としてもよい。

【0037】

上記構成によれば、1個の乗算命令で、複素数データの乗算を複数のプロセッサ組で並列に行うことができる。

したがって、高速フーリエ変換のような、複数の複素数データの乗算を行わなければならない演算手法に適した演算装置を実現することができる。

また当該演算装置は、1個の複素数データを実部データと虚部データとの2個のデータに分けて、2個のプロセッサで演算を行っている。

【0038】

したがって、演算対象である複素数データの並列性を倍増させることができ、複数のプロセッサ組を有効に利用することができる。

また、前記格納制御手段は、さらに、演算対象となる複数の複素数データの実部データと虚部データとが連続したメモリ番地に交互に配列されたデータメモリから前記複数のプロセッサ組に属するレジスタファイルに交互に配列された実部データと虚部データとを所定の数量だけ一斉に転送させることを特徴としてもよい。

【0039】

上記構成によれば、複数の複素数データを所定の数量だけ一斉にデータメモリからレジスタファイルへ転送できる。

したがって、複素数データを効率よくレジスタファイルへ書き込むことができる。

本発明に係る演算方法は、それぞれが演算器とレジスタファイルとを含む2個のプロセッサが複素数データの乗算を行う演算方法であって、前記2個のプロセッサが乗算指令を受けて少なくとも演算対象である第1複素数データの第1実部データ及び第1虚部データと第2複素数データの第2実部データ及び第2虚部データとのうち各実部データを第1プロセッサのレジスタファイルに各虚部データを第2プロセッサのレジスタファイルに分配して格納させる格納制御ステップと、

第1段階において第1プロセッサの演算器が第1実部データと第2実部データとの乗算または第1虚部データと第2虚部データとの乗算のうちいずれかを該当するレジスタファイルからデータを読み出して実行するように制御し、これと並行して第2プロセッサの演算器が第1実部データと第2虚部データとの乗算または第1虚部データと第2実部データとの乗算のうちいずれかを該当するレジスタファイルからデータを読み出して実行するように制御する第1制御ステップと、

第2段階において第1プロセッサの演算器が第1実部データと第2実部データとの乗算または第1虚部データと第2虚部データとの乗算のうち第1段階で実行しなかった方の乗算を該当するレジスタファイルからデータを読み出して実行す

るように制御し、これと並行して第2プロセッサの演算器が第1実部データと第2虚部データとの乗算または第1虚部データと第2実部データとの乗算のうち第1段階で実行しなかった方の乗算を該当するレジスタファイルからデータを読み出して実行するように制御する第2制御ステップと、第3段階において第1プロセッサの演算器が第1実部データと第2実部データとの乗算結果から第1虚部データと第2虚部データとの乗算結果を減算するように制御し、これと並行して第2プロセッサの演算器が第1虚部データと第2実部データとの乗算結果と第1実部データと第2虚部データとの乗算結果とを加算するように制御する第3制御ステップとを備えることを特徴とする。

【0040】

上記構成によれば、第1プロセッサが第1複素数データと第2複素数データとの乗算結果の実部を、第2プロセッサが第1複素数データと第2複素数データとの乗算結果の虚部を同時に算出する。

したがって、1個のプロセッサが乗算結果の実部と虚部とを算出する従来技術に比べて、複素数データの乗算を行うステップ数が削減でき、それに伴ってマイクロコードのコードサイズを小さくすることができる。

【0041】

また上記構成によれば、第1及び第2レジスタファイルに複素数データの実部データと虚部データとを分配して格納する。

したがって、レジスタファイル1個あたりに格納されるデータの数量が半減できる。逆に表現すれば、レジスタファイル中の「空き」のレジスタ数が多くなる。よってデータメモリとレジスタファイルとの間のデータの受け渡し回数を削減することができる。

【図面の簡単な説明】

【図1】

図1は本発明に係るマイクロプロセッサの構成を示す図である。

【図2】

図2はプロセッサ組103aの構成を示す図である。

【図3】

図3は複素数データの乗算のフローを示す図である。

【図4】

図4は演算対象データの数量が8個の場合の高速フーリエ変換の第1段目の演算を示す図である。

【図5】

図5はバタフライ演算401のフローを示す図である。

【図6】

図6は本発明における演算装置において、バタフライ演算を行う場合のデータ配列を示す図である。

【図7】

図7は従来のマイクロプロセッサの構成を示す図である。

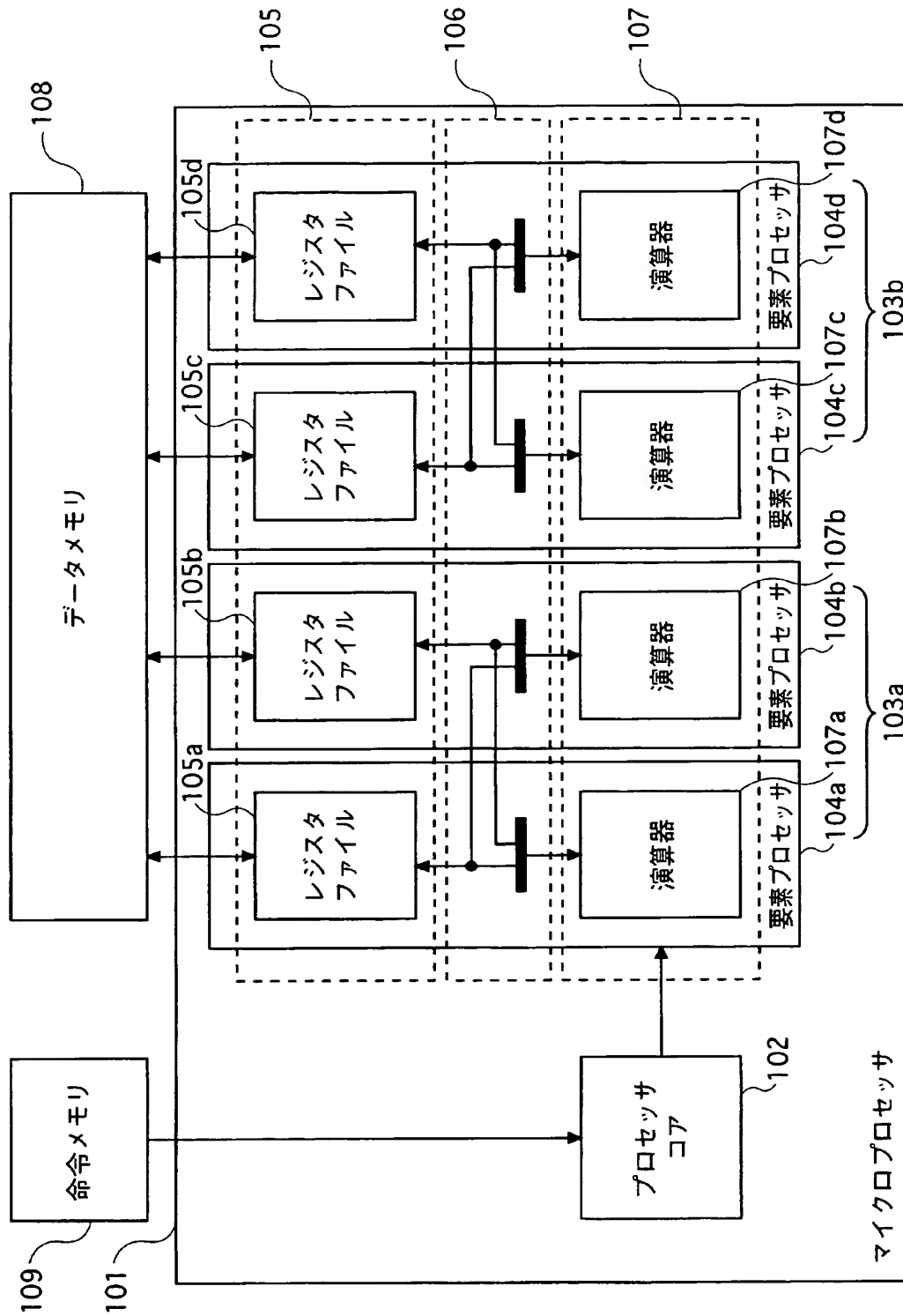
【符号の説明】

101、701	マイクロプロセッサ
102、702	プロセッサコア
103a、103b	プロセッサ組
104a～104d、703a～703d	要素プロセッサ
105、705	レジスタファイル
106	切替器
107、704	演算器
108、706	データメモリ
109、707	命令メモリ
601	演算対象データ領域
602	回転因子領域

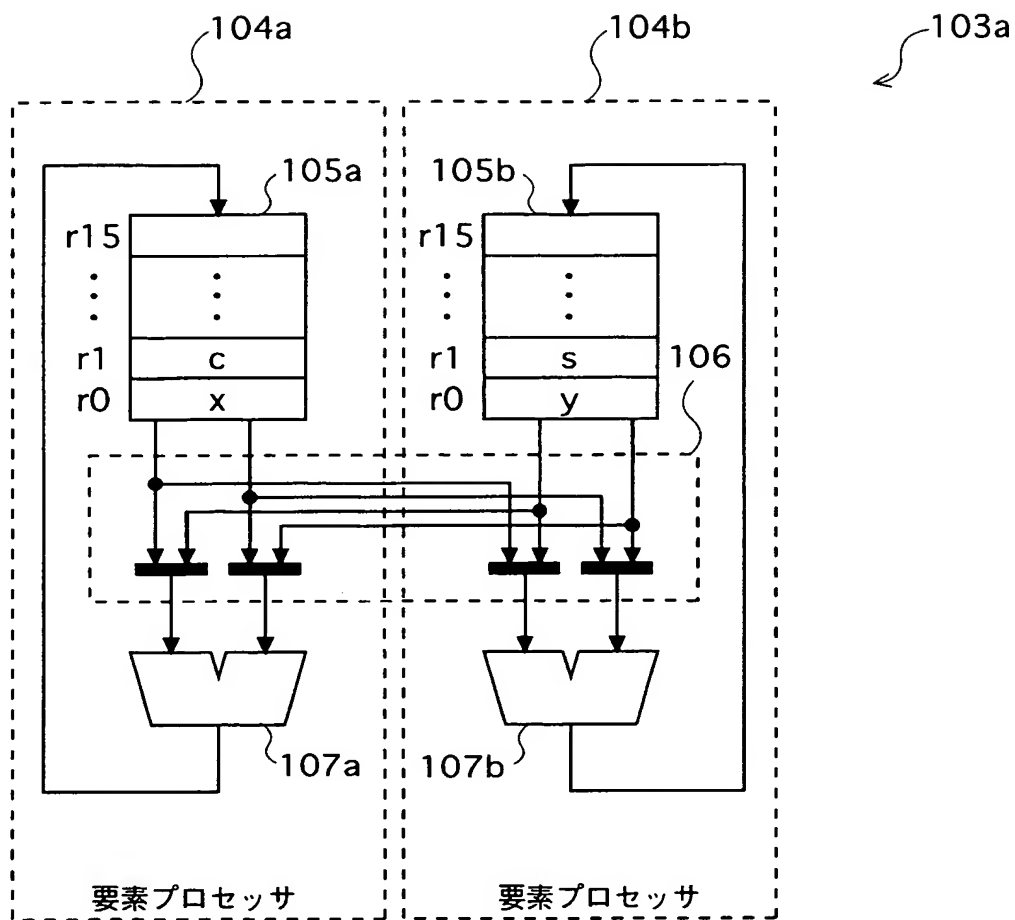
【書類名】

図面

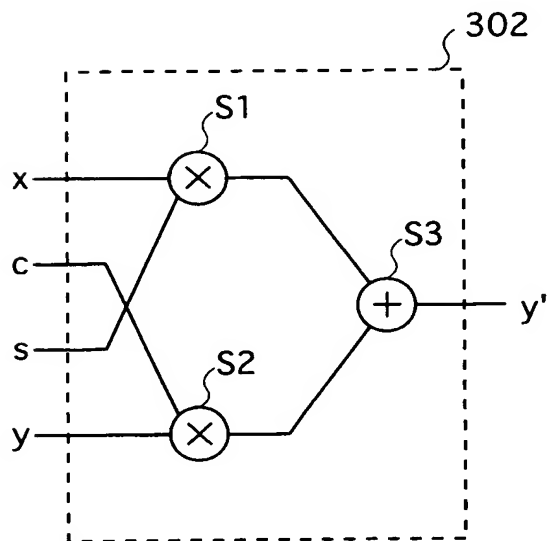
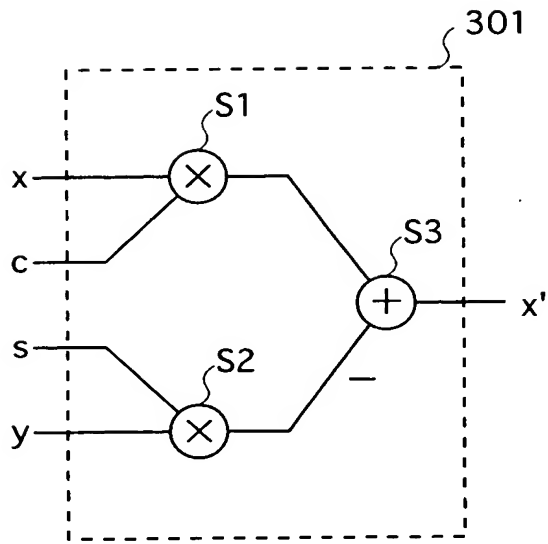
【図 1】



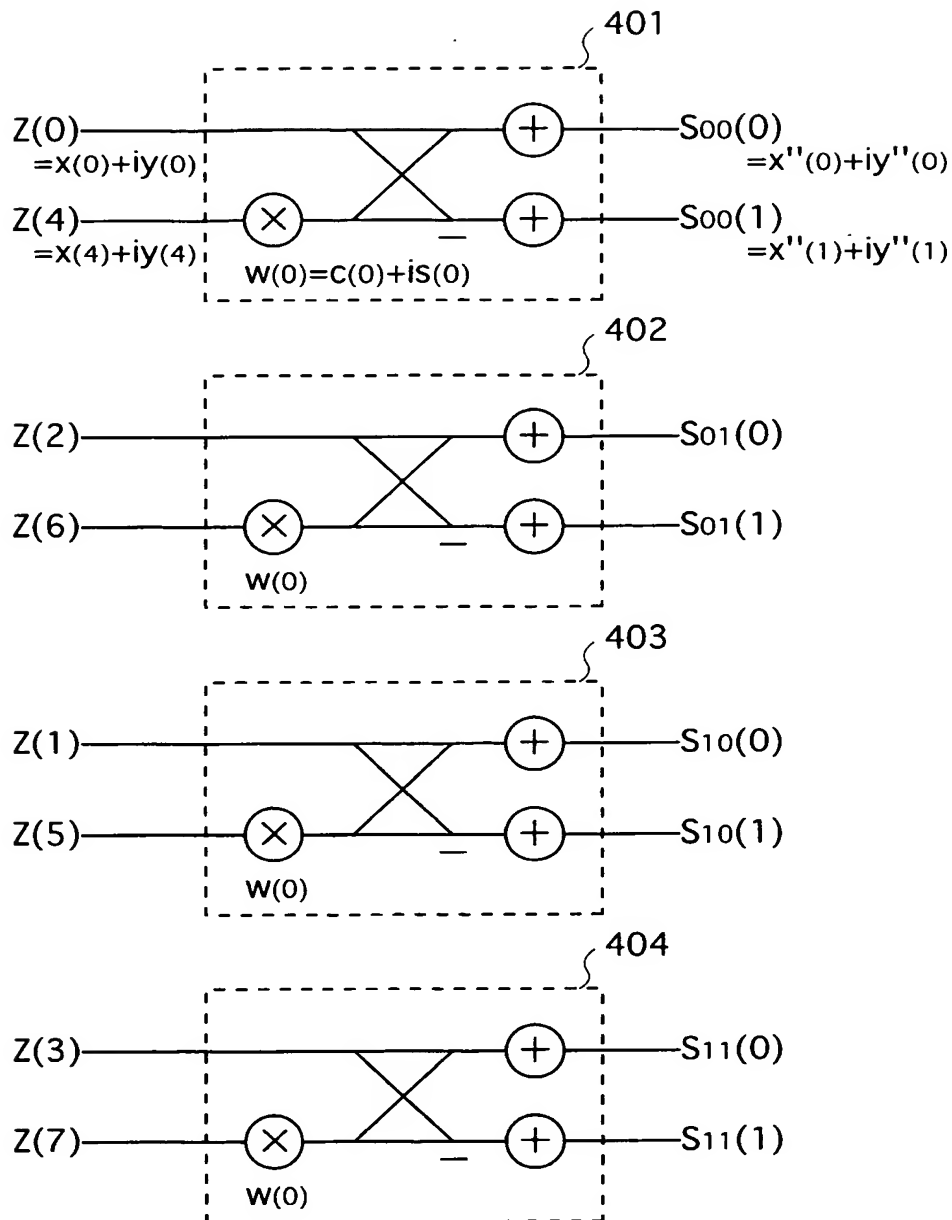
【図 2】



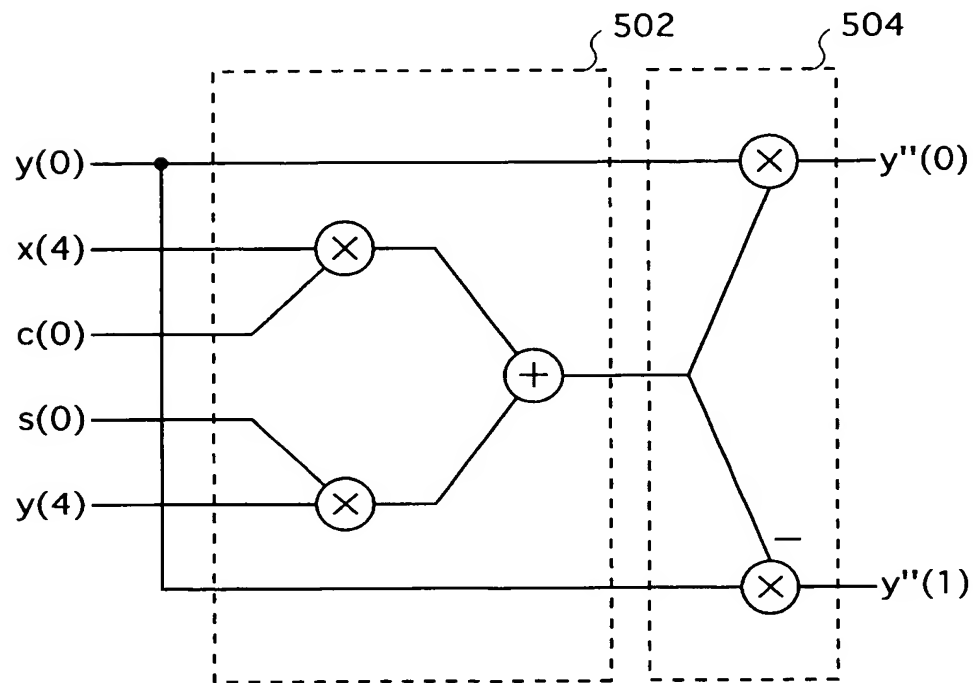
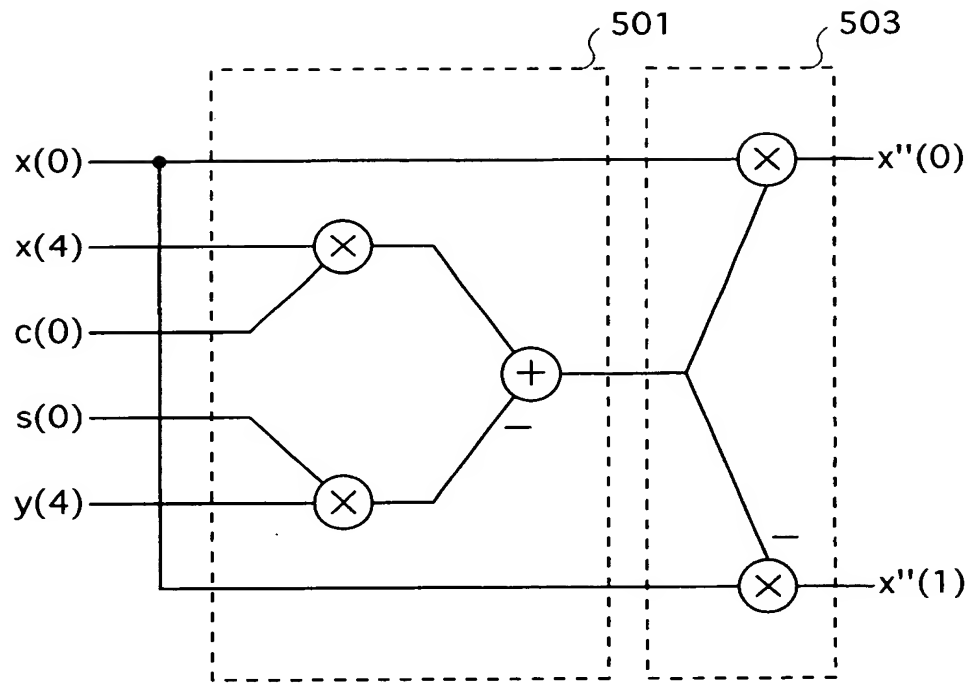
【図 3】



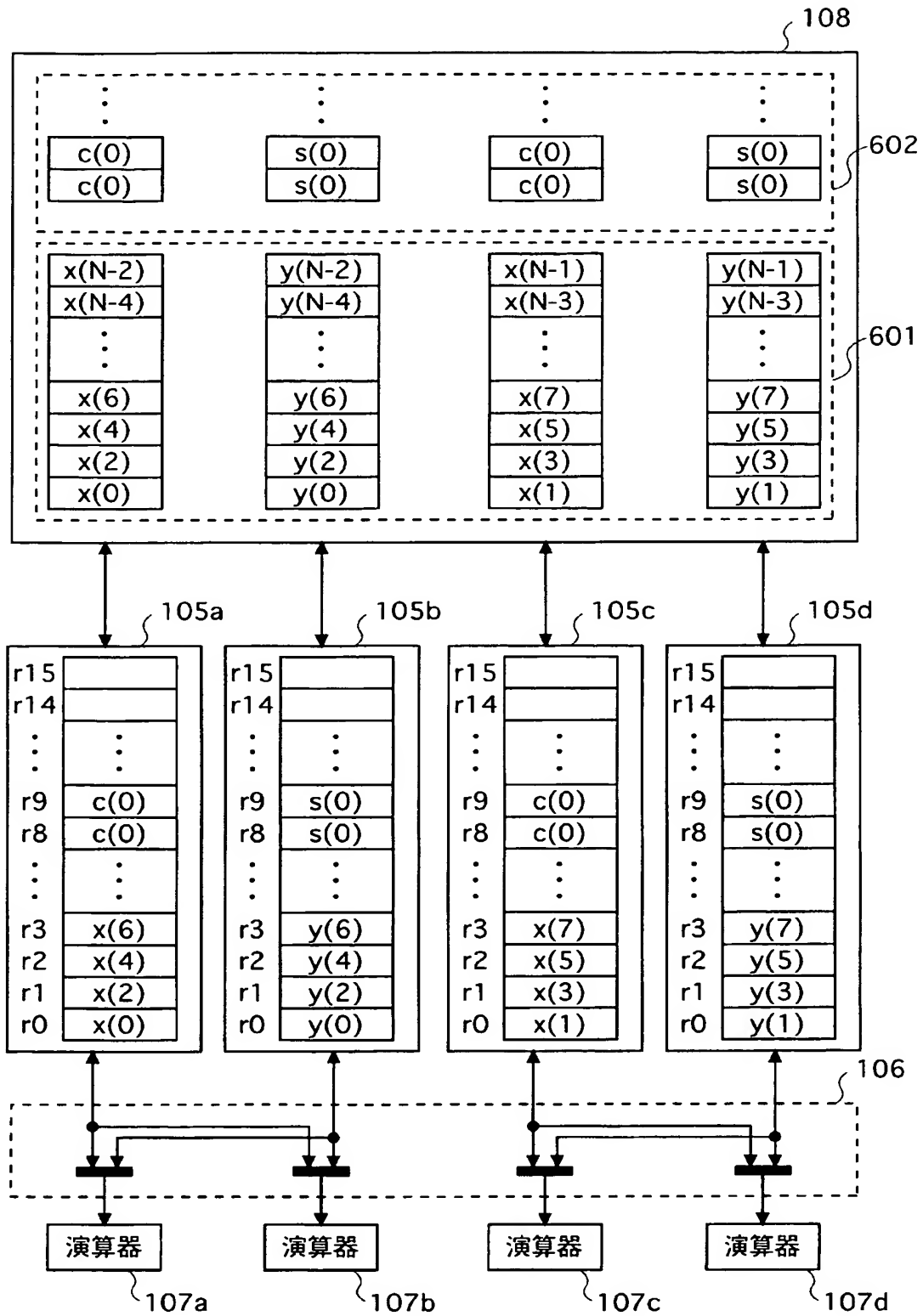
【図 4】



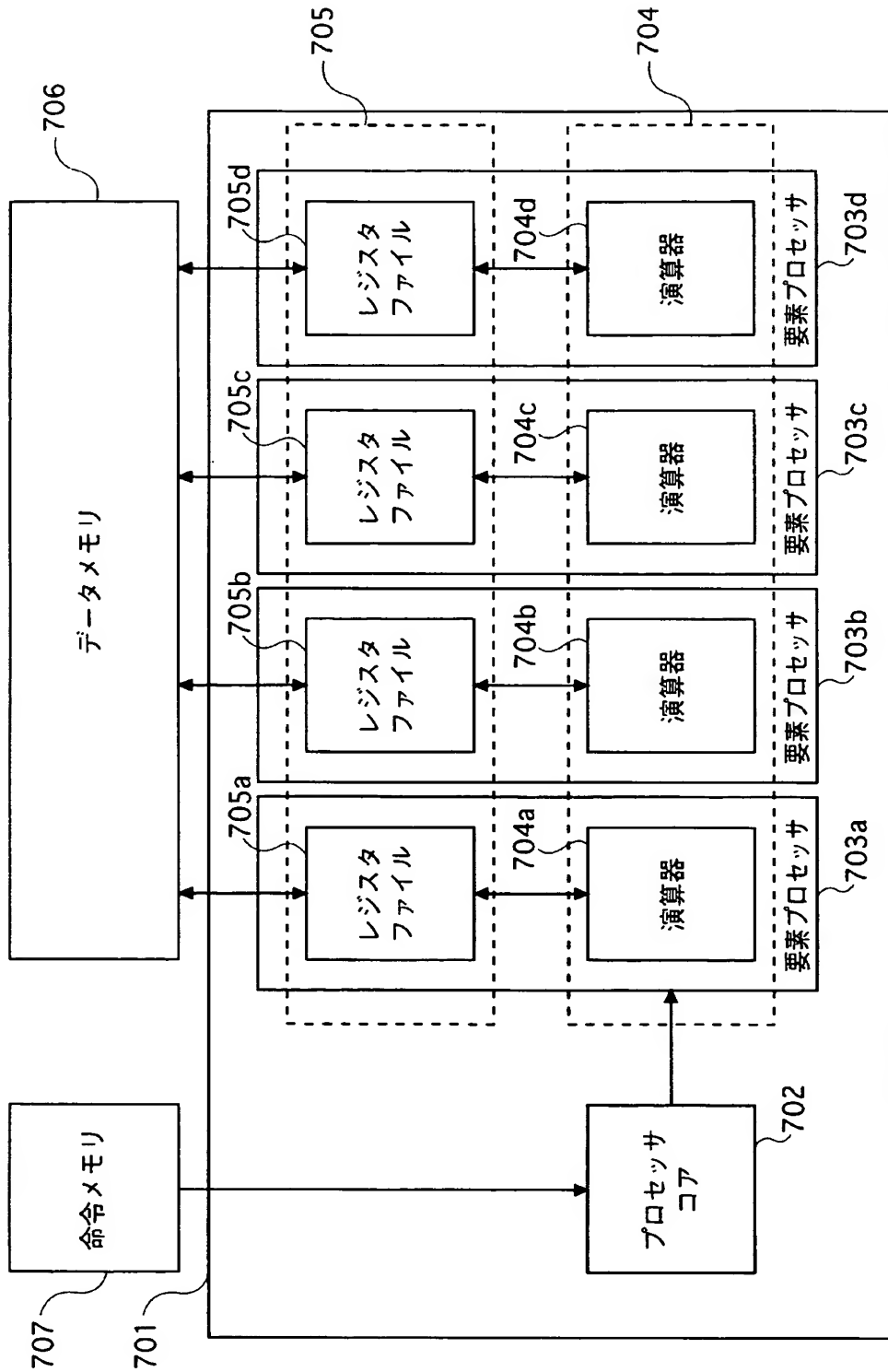
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 複数の複素数データの乗算を従来より容易に行う。

【解決手段】 2 個のプロセッサ 1 0 4 a、1 0 4 b が、乗算指示を受けて、演算対象となる 2 個の複素数データの各実部データと各虚部データとをレジスタファイル 1 0 5 a、1 0 5 b に分配して格納させる格納制御手段と、2 個の演算器 1 0 7 a、1 0 7 b が、2 個の複素数データの実部と虚部とをそれぞれ並行して算出するように、3 段階に分けて演算の実行を制御する制御手段とを備える。

【選択図】 図 1

特願 2 0 0 2 - 3 2 3 9 3 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1 . 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社